

Abstract

The present invention relates to an ESD (Electro-Static Discharge) protection circuit, and specifically to an ESD protection circuit configured to improve an ESD protection characteristic.

An ESD protection circuit of this kind according to the present invention is characterized by being configured by including: a substrate of a first conduction type in which an activation region and a field region are defined; a well of a second conduction type formed in a predetermined area in the activation region in the substrate of the first conduction type; a first and a second high-concentration impurity regions of the first conduction type formed with a certain distance therebetween in the well of the second conduction type; a low-concentration impurity region of the first conduction type formed between the first and the second high-concentration impurity regions of the first conduction type; and a high-concentration impurity region of the second conduction type formed with a certain distance between itself and the second high-concentration impurity region of the first conduction type.

특1998-043416

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/06

(11) 공개번호 특1998-043416
(43) 공개일자 1998년08월06일

(21) 출원번호 특1996-061263
(22) 출원일자 1996년12월03일
(71) 출원인 엘지반도체 주식회사 공정관
충청북도 청주시 흥덕구 행정동 1번지
(72) 발명자 박용
경기도 안양시 만안구 안양5동 387-7 12/2
최선
경기도 고양시 덕양구 관산동 231 통일빌라 8-101
김항규
대구광역시 동구 저저동 대성빌라 105-301
(74) 대리인 강용택, 김용인

(54) 미어스다(ESD) 보호 회로

본 발명은 ESD(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.

이와 같은 본 발명의 ESD 보호 회로는 활성영역과 필드영역으로 정의된 제 1 도전형 기판과, 상기 제 1 도전형 기판의 활성영역에 형성된 제 2 도전형 웰과, 상기 제 2 도전형 웰내에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 고농도 불순물 영역과, 상기 제 1 도전형 제 1, 제 2 고농도 불순물 영역의 사이에 형성되는 제 1 도전형 저농도 불순물 영역과, 상기 제 1 도전형 제 2 고농도 불순물 영역과 일정한 간격을 갖고 형성되는 제 2 도전형 고농도 불순물 영역을 포함하여 구성됨에 그 특징이 있다.

본 발명의

본 발명의

본 발명의

본 발명의

도 1은 종래의 ESD 보호 회로를 나타낸 구조단면도

도 2는 본 발명의 ESD 보호 회로를 나타낸 구조단면도

도 3a와 도 3b는 종래와 본 발명의 동일한 전압에서 포텐셜의 차이를 나타낸 도면

도면의 주요 부분에 대한 부호의 설명

21 : n형 실리콘 기판 22 : p-웰

23 : 제 1 고농도 n형 불순물 영역 24 : 제 2 고농도 n형 불순물 영역

25 : 저농도 n형 불순물 영역 26 : 고농도 p형 불순물 영역

본 발명의 상세한 설명

본 발명의

본 발명의

본 발명은 ESD(Electro Static Discharge) 보호 회로에 관한 것으로 특히, ESD 보호 특성을 향상시키도록 한 ESD 보호 회로에 관한 것이다.

일반적으로 반도체 장치에 있어서, ESD(Electro Static Discharge) 보호 회로는 약 200 ~ 2000W의 대전기 동으로부터 내부회로가 파괴되는 곳을 막기 위한 보호 회로로서, 상기 ESD 보호 회로의 방법에는 SCR을

이러한 방법과 필드 트랜지스터, 다이오드, 바이폴라 트랜지스터 등을 이용한 방법을 사용한다.

그런데 반도체 소자가 고집적화됨에 따라 ESD와 같은 높은 전압이 인가되는 부분(즉, 필드 트랜지스터, 바이폴라 트랜지스터 등)의 게이트 산화막은 그 두께가 얇아지기 때문에 ESD 보호 회로에 포함된 능동소자와 이 능동소자에 연결된 내부회로의 능동소자는 내부회로의 다른 능동소자보다 ESD 특성이 더욱더 나빠지게 된다.

그러서 종래에는 이러한 ESD 특성을 평가하는 방법으로서 HBM(Human Body Model) 방법이나 MM(Machine Model) 방법을 이용하였다.

그러나 최근에 생산하고 있는 반도체 소자에 있어서는 같은 칩(chip)내에서 동일한 두께의 게이트 산화막을 이용하여 내부회로를 형성하고 있다.

그 한가지 예로 SRAM인 경우에는 칩 전체에 산화막의 두께를 약 100Å 정도로 통일하게 사용하고 있다.

이와 같은 반도체 소자가 고집적화됨에 따라 패키지(Package) 크기가 증가하고 산화막이 얇아지기 때문에 CDM(Charged Device Model)을 이용하여 ESD 특성을 파악하는 기술이 중요하게 대두되고 있다.

상기에서 언급한 두 가지 방법(HBM, MM)에 의해 파괴되는 부분은 주로 정합 가장자리이지만, CDM에 의해 파괴되는 부분은 주로 각 능동소자의 게이트 산화막이 된다.

즉, 상기 CDM 방법에 의해 가해지는 ESD 펄스(Pulse)가 최고 전류까지 도달하는데 걸리는 시간은 약 1nsec이고, 이 때 ESD 보호 회로가 동작하는데 걸리는 시간도 1nsec이다.

그러므로 ESD 보호 회로가 동작하기 전 ESD 펄스가 ESD 보호 회로에 포함된 능동소자의 산화막과 내부회로에 연결된 능동소자의 산화막을 파괴하게 된다.

따라서 반도체 소자가 고집적화됨에 따라 ESD 보호 회로와 상기 보호 회로에 연결된 능동소자 뿐만 아니라 보호 회로 근방에 있는 내부회로도 ESD에 의해 영향을 받게 된다.

이하, 첨부된 도면을 참조하여 종래의 ESD 보호 회로를 설명하면 다음과 같다.

도 1은 종래의 ESD 보호 회로를 나타낸 구조단면도이다.

도 1에 도시된 바와 같이 활성영역과 필드영역으로 정의된 n형 실리콘 기판(11)의 활성영역의 소정영역에 p-웰(12)이 형성되고, 상기 p-웰(12)내에 일정한 간격을 가지고 제 1, 제 2 고농도 n형 불순물 영역(13, 14)이 형성되며, 상기 제 2 고농도 n형 불순물 영역(14)과 일정한 간격을 두고 고농도 p형 불순물 영역(15)이 형성된다.

그리고 상기 제 1 고농도 n형 불순물 영역(13)에 전압이 인가되는 핀(Pin)이 연결되고, 상기 제 2 고농도 n형 불순물 영역(14)에는 접지전압(Vss)이 연결된다. 또한, 상기 고농도 p형 불순물 영역(15)에는 전원전압(Vcc)이 연결된다.

여기서 활성영역의 구조는 n+ 영역 - p-웰 - n+ 영역의 구조를 이룬다.

상기와 같이 이루어진 종래의 ESD 보호 회로의 동작은 외부에서 강한 전압이 핀을 통하여 인가되면 접지 단으로 빠져나가 내부회로를 보호하게 된다.

도 1의 구조에 따른 문제점 발생

그러나 상기와 같은 종래의 ESD 보호 회로에 있어서 다음과 같은 문제점이 있었다.

즉, 전하 방전량이 적기 때문에 ESD를 효과적으로 보호하지 못한다.

본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 전하 방전량을 높이도록 한 ESD 보호 회로를 제공하는데 그 목적이 있다.

도 2의 구조 설명

상기와 같은 목적을 달성하기 위한 본 발명의 ESD 보호 회로는 활성영역과 필드영역으로 정의된 제 1 도전형 기판과, 상기 제 1 도전형 기판의 활성영역의 소정영역에 형성된 제 2 도전형 웰과, 상기 제 2 도전형 웰내에 일정한 간격을 갖고 형성되는 제 1 도전형 제 1, 제 2 고농도 불순물 영역과, 상기 제 1 도전형 제 1, 제 2 고농도 불순물 영역 사이에 형성되는 제 1 도전형 저농도 불순물 영역과, 상기 제 1 도전형 제 2 고농도 불순물 영역과 일정한 간격을 갖고 형성되는 제 2 도전형 기판의 활성영역을 포함하여 구성됨에 그 특징이 있다.

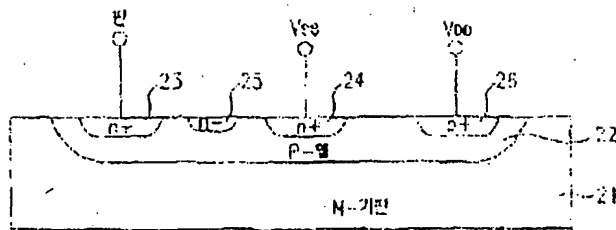
이하, 첨부된 도면을 참조하여 본 발명의 ESD 보호 회로를 상세히 설명하면 다음과 같다.

도 2는 본 발명의 ESD 보호 회로의 구조를 나타낸 구조단면도이다.

도 2에서와 같이 활성영역과 필드영역으로 정의된 n형 실리콘 기판(21)의 활성영역의 소정영역에 p-웰(22)이 형성되고, 상기 p-웰(22)에는 일정한 간격을 갖고 제 1, 제 2 고농도 n형 불순물 영역(23, 24)이 형성되며, 상기 제 2 고농도 n형 불순물 영역(24)과 일정한 간격을 두고 고농도 p형 불순물 영역(26)이 형성된다.

그리고 상기 제 1, 제 2 고농도 n형 불순물 영역(23, 24) 사이에 저농도 n형 불순물 영역(25)이 형성된다.

한편, 상기 제 1 고농도 n형 불순물 영역(23)에는 외부전압이 인가되는 핀(Pin)이 연결되고, 상기 제 2



4-2a



4-2b

